

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

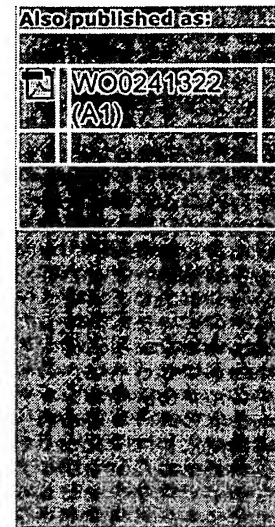
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Flash memory erasable by page and method for data storage, comprising array with counter and sectors, and circuits for reading page address and incrementing counter

Patent number: FR2816751
Publication date: 2002-05-17
Inventor: LECONTE BRUNO; CAVALERI PAOLA; DEVIN JEAN; ZINK SEBASTIEN
Applicant: ST MICROELECTRONICS SA (FR)
Classification:
 - international: G11C16/04
 - european: G11C16/16, G11C16/34D
Application number: FR20000014743 20001115
Priority number(s): FR20000014743 20001115



Abstract of FR2816751

The page-erasable flash memory (MEM1) comprises a flash memory array (FMA) containing floating-gate transistors whose gates are connected to the word lines, where the transistors connected to the same word line form a page, a row decoder (XDEC1) connected to the word lines, and control circuits which apply a positive erase voltage (Ver+) for a page erasing to the source of the drain electrodes of all transistors of one of the sectors (S1, S2, ..., S8) comprising the page. The row decoder contains voltage adapters for applying, during the page erasing, a negative erase voltage (Ver-) to the gates of transistors of the page to be erased, and a positive inhibition voltage (Vinh) to the gates of transistors of at least one of the other pages. The inhibition voltage is below the positive erase voltage. In the process of the page erasing, a polarization voltage (Vpol) is equal to the negative erase voltage (Ver-) and a row polarization voltage (Vpex) is equal to the inhibition voltage (Vinh); in the process of word reading the polarization voltage is equal to the ground potential and the row polarization voltage is equal to a read voltage (Vread). The polarization voltages are delivered by a polarization module (PMP) by the intermediary of a switching element to the voltage adapters receiving the page selection signals and contained in the row decoder (XDEC1). Each voltage adapter contains an output inverter stage and a control stage with an exclusive-OR gate receiving the selection signal and the erase signal. The circuits for the control of the voltage threshold of transistors and for reprogramming when the voltage threshold is below a set value include a counter (CMPT) formed by at least one row of transistors, the address counter read circuits including a shift register (SREG), a conversion circuit (CONVC) and a zero-detector (DETZ), and the counter increment circuits including the shift register and a register with latches (LT). The page address read circuits comprise the counter word-to-word read circuits including a counter decoder (CDEC), a sense amplifier (SA), the zero-detector and a column address counter (CAC), the page address high-value bit circuits including the conversion circuit and a multiplexer (MUX1), and the page address low-value bit circuits including the conversion circuit and a multiplexer (MUX1), and the page address low-value bit circuits including the column address counter and a multiplexer (MUX2). The page control includes the reading of a word of the page by applying the first read voltage (Vread), the reading of the same word of the page by applying the second read, that is verify, voltage (Vvrfy), the comparison of the two readings, and the reprogramming if the two readings are different. The positive erase voltage (Ver+) is applied to the source or the drain electrodes of transistors by the intermediary of a material forming the channel of transistors.

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication : 2 816 751

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : 00 14743

⑤1 Int Cl⁷ : G 11 C 16/04

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 15.11.00.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 17.05.02 Bulletin 02/20.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : Se reporter à la fin du
présent fascicule

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

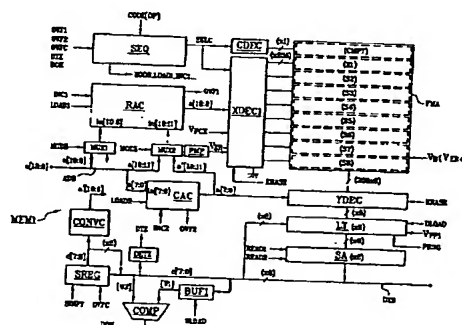
⑦2 Inventeur(s) : CAVALERI PAOLA, LECONTE
BRUNO, ZINK SEBASTIEN et DEVIN JEAN.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : OMNIPAT.

⑤4 MEMOIRE FLASH EFFACABLE PAR PAGE.

⑤7 L'invention concerne une mémoire FLASH (MEM1) effaçable par page comprenant un plan mémoire (FMA) comportant une pluralité de transistors à grille flottante connectés par leurs grilles à des lignes de mots, un décodeur (XDEC1) connecté aux lignes de mots de la mémoire, et des moyens pour, lors de l'effacement d'une page, appliquer une tension d'effacement positive (V_{ER+}) aux électrodes de source ou de drain de tous les transistors à grille flottante du secteur comprenant la page à effacer. Selon l'invention, le décodeur de ligne de mots (XDEC1) comprend des moyens pour appliquer, lors de l'effacement d'une page, une tension d'effacement négative (V_{ER-}) aux grilles des transistors de la page à effacer, tout en appliquant une tension d'inhibition positive (V_{PCK}) aux grilles des transistors d'au moins une page ne devant pas être effacée. Application : réalisation d'une mémoire FLASH effaçable par page ne comportant pas de transistor de sélection de ligne de source.



FR 2 816 751 - A1



MEMOIRE FLASH EFFACABLE PAR PAGE

La présente invention concerne les mémoires effaçables et programmables électriquement, et plus particulièrement les mémoires FLASH.

La présente invention concerne plus
5 particulièrement les mémoires FLASH effaçables par page.

A l'heure actuelle, le marché des mémoires en circuits intégrés effaçables et programmables électriquement comprend essentiellement les mémoires EEPROM et les mémoires FLASH (ou FLASH-EEPROM). Les
10 mémoires EEPROM peuvent être du type programmable et effaçable par mot ou du type programmable et effaçable par page. Pour des raisons technologiques, les mémoires FLASH (ou FLASH-EEPROM) sont généralement programmables par mot et effaçables par secteur, un secteur comprenant
15 généralement un grand nombre de pages.

A titre de rappel, la figure 1 représente schématiquement un plan mémoire FLASH comprenant une pluralité de cellules mémoire $CF_{i,j}$ agencées de façon matricielle et connectées à des lignes de mots WL_i et des
20 lignes de bits BL_j . Les cellules $CF_{i,j}$ de la mémoire FLASH sont d'une structure très simple et ne comportent qu'un transistor à grille flottante FGT, ici un transistor NMOS, ayant sa grille G connectée à une ligne de mots WL_i , son drain D connecté à une ligne de bits BL_j et sa
25 source S connectée à une ligne de source SL_i . Les lignes de bits BL_j sont regroupées par colonnes de rang k pour former des mots binaires $W_{i,k}$ comportant par exemple huit cellules $CF_{i,j}$ chacun (octets), les cellules d'un même

mot $W_{i,k}$ pouvant être adjacentes (comme représenté en figure 1) ou entrelacées avec des cellules appartenant à d'autres mots. Une page physique P_i de la mémoire FLASH est formée par l'ensemble des cellules mémoire $C_{i,j}$ 5 connectées à une même ligne de mots WL_i , et comprend ainsi une pluralité de mots binaires $W_{i,k}$. Un secteur est formé par un ensemble de pages P_i dont les lignes de source SL_i sont interconnectées et se trouvent toujours au même potentiel électrique.

10 Dans une telle mémoire FLASH, la programmation d'une cellule consiste dans l'injection de charges électriques dans la grille flottante par effet dit "d'injection d'électrons chauds" ("hot electron injection") tandis que l'effacement d'une cellule 15 consiste dans l'extraction, par effet tunnel, des charges électriques piégées dans la grille flottante. Un transistor FGT effacé présente une tension de seuil positive $VT1$ de faible valeur et un transistor programmé présente une tension de seuil $VT2$ supérieure à $VT1$. 20 Lorsqu'une tension de lecture V_{READ} comprise entre $VT1$ et $VT2$ est appliquée sur sa grille, un transistor effacé est passant, ce qui correspond par convention à la lecture d'un "1" logique, et un transistor programmé reste bloqué, ce qui correspond par convention à la lecture 25 d'un "0" logique.

En raison de la simplicité de leurs cellules mémoire, qui ne comporte pas de transistor d'accès comme dans les mémoires EEPROM, les mémoires FLASH présentent l'avantage d'une grande compacité en termes de surface de 30 silicium occupée et présentent ainsi, à surface de silicium constante, une capacité de stockage nettement supérieure à celle des mémoires EEPROM, pour un prix de revient inférieur. En revanche, elles sont moins souples à l'emploi en raison de la nécessité d'effacer 35 simultanément toutes les cellules mémoire d'un même secteur.

Dans certaines applications, on souhaite toutefois bénéficier des avantages des mémoires FLASH (compacité et prix de revient) tout en bénéficiant de la possibilité d'un effacement par page, par exemple lorsque les données
5 à enregistrer sont d'un faible volume et que l'effacement de tout un secteur avant la programmation d'une page n'est pas envisageable. Toutefois, la recherche d'une mémoire FLASH effaçable par page se heurte à certaines difficultés.

10 Pour comprendre le problème posé, rappelons préalablement que l'effacement d'une cellule mémoire peut être effectué selon la méthode dite d'effacement par la source ("source erase") ou la méthode dite d'effacement par le canal ("channel erase").

15 L'effacement par la source, illustré en figure 1, consiste à appliquer à l'ensemble des lignes de source SL_i d'un même secteur une tension d'effacement positive V_{ER+} de l'ordre de 4 à 5V, tandis que les lignes de mots WL_i du secteur considéré reçoivent une tension
20 d'effacement négative V_{ER-} de l'ordre de -8V, le matériau formant le canal des transistors (substrat ou caisson) étant à la masse. La différence de potentiel apparaissant entre la source S et la grille G des transistors a pour effet d'arracher les charges électriques piégées dans les
25 grilles flottantes (par effet tunnel) et d'effacer les transistors. L'application de la tension négative V_{ER-} sur les grilles de tous les transistors d'un même secteur est assurée par l'inhibition d'un décodeur de ligne de mots XDEC (figure 1), qui reçoit la tension V_{ER-} sur une
30 entrée et l'applique à toutes les lignes de mots WL_i du secteur à effacer quelle que soit l'adresse reçue en entrée. Simultanément, toutes les sorties d'un décodeur de colonne YDEC connectées aux lignes de bits BL_j sont portées à haute impédance.

35 L'effacement par le canal se distingue de l'effacement par la source par le fait que la tension d'effacement positive V_{ER+} est appliquée aux sources des

transistors par l'intermédiaire du matériau formant les régions de canal (substrat ou caisson) auquel on applique une tension de polarisation V_B . Les jonctions PN existant entre les régions de canal et les régions de source se trouvent polarisées dans le sens passant et la tension V_B se répercute sur toutes les sources des transistors d'un même secteur pour former la tension V_{ER+} . Parallèlement, la tension d'effacement négative V_{ER-} est, comme précédemment, appliquée aux grilles des transistors par l'intermédiaire du décodeur de ligne de mots XDEC se trouvant dans l'état inhibé.

L'avantage d'un effacement par le canal est que les régions de canal et les régions de source se trouvent sensiblement au même potentiel électrique, les diodes de jonction canal/source étant polarisées dans le sens passant. Par rapport à un effacement par la source, il n'y a donc plus de courant de fuite dans le sens source/canal. La tension d'effacement V_{ER+} peut être portée à un potentiel plus élevé que dans le cas d'un effacement par la source, par exemple 8 à 10V contre 4 à 5V dans le premier cas.

Une solution connue pour réaliser une mémoire FLASH effaçable par page consiste à équiper chaque ligne de source SL_i d'un transistor de sélection permettant une application sélective de la tension de programmation V_{ER+} . Une telle solution est dans l'esprit de l'enseignement divulgué par le brevet EP 704 851 et la demande WO 98/33187, dans lesquels l'effacement sélectif d'un mot est obtenu en équipant les cellules d'un même mot d'un transistor de sélection de source.

Cette solution présente toutefois divers inconvénients.

D'une part, la programmation d'une cellule de mémoire FLASH s'effectue avec un courant drain-source non négligeable. De ce fait, en cas de programmation simultanée de toutes les cellules d'un mot, un courant important est collecté par le transistor de sélection de

la ligne de source. Ce courant entraîne une élévation de la tension drain-source du transistor de sélection, une diminution correspondante de la tension drain-source des transistors à grille flottante, et une augmentation du
5 temps de programmation. Les cellules d'un même mot doivent donc être programmées individuellement, ou conjointement à des cellules appartenant à d'autres mots binaires (WO 98/33187).

D'autre part, la prévision de transistors de
10 sélection de ligne de source n'est pas compatible avec la méthode d'effacement par le canal. En effet, la tension d'effacement V_{ER-} étant dans ce cas appliquée par l'intermédiaire du matériau formant le canal, la prévision de transistors de sélection de ligne de source
15 n'empêche pas la tension V_{ER-} de parvenir aux sources de transistors et de créer un champ électrique entraînant l'arrachement des charges piégées dans les grilles flottantes.

Ainsi, la présente invention a pour objectif de
20 prévoir un procédé d'effacement sélectif d'une page dans un secteur de mémoire FLASH qui ne nécessite pas la prévision de transistors de sélection de ligne de source.

Un autre objectif de la présente invention est de
25 prévoir un procédé d'effacement sélectif d'une page dans un secteur de mémoire FLASH qui soit compatible avec la méthode d'effacement par le canal.

Un autre problème que la présente invention se propose de résoudre concerne le "rafraîchissement" des cellules mémoire d'une mémoire FLASH, c'est-à-dire la
30 reprogrammation de cellules dont la tension de seuil est altérée. En effet, la prévision d'une mémoire FLASH effaçable par page n'a d'intérêt que si l'on offre à l'utilisateur la possibilité d'effacer et de reprogrammer une même page un grand nombre de fois, sans se préoccuper
35 des autres pages de la mémoire. Or, les cellules mémoire des autres pages sont directement connectées aux lignes de bits BL_j et ne sont pas protégées par un transistor

d'accès comme cela est le cas dans les mémoires EEPROM. Elles vont ainsi recevoir répétitivement sur leurs drains la tension de programmation appliquée aux cellules de la page sur laquelle l'utilisateur effectue des cycles
5 d'effacement et de programmation, ce qui va provoquer l'altération progressive des charges électriques piégées dans leurs grilles flottantes et conduira tôt ou tard à une corruption de données.

Une solution connue pour pallier cet inconvénient
10 est de prévoir un contrôle de la tension de seuil de tous les transistors du plan mémoire après chaque programmation d'un mot ou après un certain nombre de cycles de programmation de mots. Le contrôle de la tension de seuil est suivi d'une reprogrammation des
15 transistors programmés dont la tension de seuil V_t est inférieure à un seuil autorisé. L'inconvénient d'un tel procédé de contrôle systématique de tout le plan mémoire est de ralentir notablement le fonctionnement de la mémoire, en occupant le microcontrôleur chargé de
20 l'opération.

Ainsi, un autre objectif de la présente invention est de prévoir, dans une mémoire FLASH, un procédé et un dispositif de contrôle et de reprogrammation de cellules mémoire qui soient simples à mettre en œuvre tout en
25 étant rapides, efficaces et transparents pour l'utilisateur.

Pour atteindre ces objectifs, la présente invention prévoit un procédé d'enregistrement de données dans une mémoire FLASH, comprenant une étape d'effacement d'une
30 page de la mémoire par application d'une tension d'effacement négative aux grilles des transistors à grille flottante de la page à effacer et application d'une tension d'effacement positive aux électrodes de source ou de drain de tous les transistors à grille
35 flottante d'un secteur de la mémoire comprenant la page à effacer, procédé dans lequel l'étape d'effacement comprend l'application d'une tension d'inhibition

positive aux grilles des transistors d'au moins une page de la mémoire ne devant pas être effacée.

Selon un mode de réalisation, la tension d'inhibition est inférieure à la tension d'effacement positive.

Selon un mode de réalisation, le procédé comprend une étape consistant à prévoir dans la mémoire des circuits adaptateurs de tension recevant chacun en entrée un signal de sélection de page et délivrant aux grilles des transistors de la page correspondante : une tension positive, lorsque le signal de sélection de page présente une première valeur correspondant à la non-sélection de la page et que la mémoire est en mode effacement ou lorsque le signal de sélection présente une deuxième valeur correspondant à la sélection de la page et que la mémoire n'est pas en mode effacement, ou une tension de polarisation inférieure à la tension positive, lorsque le signal de sélection présente la deuxième valeur et que la mémoire est en mode effacement ou lorsque le signal de sélection présente la première valeur et que la mémoire n'est pas en mode effacement.

Selon un mode de réalisation, on fournit aux circuits adaptateurs de tension : pendant l'effacement d'une page, une tension de polarisation égale à la tension d'effacement négative et une tension positive égale à la tension d'inhibition, et pendant la lecture d'un mot dans la mémoire, une tension de polarisation égale au potentiel de masse et une tension positive égale à une tension de lecture.

Selon un mode de réalisation, il est prévu, après la programmation d'une page de la mémoire, une étape de contrôle d'au moins une page de la mémoire se trouvant à une adresse lue dans un compteur non volatile formé par au moins une rangée de transistors à grille flottante, le contrôle de la page comprenant la vérification des tensions de seuil des transistors de la page contrôlée et la reprogrammation éventuelle de transistors programmés

ayant des tensions de seuil inférieures à un seuil déterminé.

Selon un mode de réalisation, le compteur est incrémenté d'une unité après le contrôle d'au moins une page, en programmant au moins un transistor à grille flottante du compteur sans effacer les autres transistors du compteur, le transistor programmé à chaque nouvelle incrémentation du compteur étant le transistor suivant le transistor programmé à l'incrémentation précédente, selon un sens de lecture du compteur.

Selon un mode de réalisation, le compteur comprend une pluralité de mots de rang croissant, et la lecture dans le compteur de l'adresse d'au moins une page à contrôler comprend les étapes consistant à lire le compteur mot à mot jusqu'à trouver un mot comprenant un bit correspondant à un transistor effacé, déterminer les bits de poids fort de l'adresse de la page à contrôler au moyen du rang, dans le compteur, du premier mot trouvé comprenant un bit correspondant à un transistor effacé, et déterminer les bits de poids faible de l'adresse de la page à contrôler au moyen du rang, dans le premier mot trouvé, du premier bit correspondant à un transistor effacé.

Selon un mode de réalisation, les transistors à grille flottante du compteur sont agencés dans un secteur exclusivement dédié au compteur, de sorte que des tensions de programmation appliquées à des transistors à grille flottante d'un autre secteur de la mémoire ne se répercutent pas sur les transistors à grille flottante du compteur.

Selon un mode de réalisation, le contrôle d'une page est effectué mot à mot et le contrôle d'un mot comprend : une première lecture du mot en appliquant une première tension de lecture aux grilles des transistors correspondant au mot considéré, une seconde lecture du mot en appliquant une deuxième tension de lecture aux grilles des transistors correspondant au mot considéré,

et une étape de reprogrammation des transistors si les deux lectures donnent des résultats différents, en utilisant comme valeur de référence la valeur du mot lue en appliquant la première tension de lecture.

5 Selon un mode de réalisation, la tension d'effacement positive est appliquée aux électrodes de source ou de drain des transistors à grille flottante par l'intermédiaire du matériau formant le canal des transistors.

10 La présente invention concerne également une mémoire FLASH effaçable par page comprenant : un plan mémoire comportant une pluralité de transistors à grille flottante connectés par leurs grilles à des lignes de mots, les transistors connectés à une même ligne de mots
15 formant une page, un ensemble de pages formant un secteur, un décodeur de ligne de mots connecté aux lignes de mots de la mémoire, des moyens pour, lors de l'effacement d'une page, appliquer une tension d'effacement positive aux électrodes de source ou de
20 drain de tous les transistors à grille flottante du secteur comprenant la page à effacer, le décodeur de ligne de mots comprenant des moyens pour appliquer, lors de l'effacement d'une page, une tension d'effacement négative aux grilles des transistors de la page à
25 effacer, tout en appliquant une tension d'inhibition positive aux grilles des transistors d'au moins une page ne devant pas être effacée.

 Selon un mode de réalisation, la tension d'inhibition délivrée par le décodeur de ligne de mots
30 est inférieure à la tension d'effacement positive.

 Selon un mode de réalisation, le décodeur de ligne de mots comprend des circuits adaptateurs de tension recevant en entrée un signal de sélection de page et délivrant aux grilles des transistors de la page
35 correspondante : une tension positive, lorsque le signal de sélection présente une première valeur correspondant à la non-sélection de la page et que la mémoire est en mode

effacement ou lorsque le signal de sélection présente une deuxième valeur correspondant à la sélection de la page et que la mémoire n'est pas en mode effacement, ou une tension de polarisation inférieure à la tension positive, lorsque le signal de sélection présente la deuxième valeur et que la mémoire est en mode effacement ou lorsque le signal de sélection présente la première valeur et que la mémoire n'est pas en mode effacement.

Selon un mode de réalisation, la mémoire comprend des moyens pour fournir aux circuits adaptateurs de tension : pendant l'effacement d'une page, une tension de polarisation égale à la tension d'effacement négative et une tension positive égale à la tension d'inhibition, et pendant la lecture d'un mot dans la mémoire, une tension de polarisation égale au potentiel de masse et une tension positive égale à une tension de lecture.

Selon un mode de réalisation, le circuit adaptateur de tension comprend un étage inverseur de sortie recevant d'une part la tension positive et d'autre part la tension de polarisation, et un étage de commande de l'étage inverseur comprenant une fonction logique OU EXCLUSIF recevant en entrée le signal de sélection et un signal présentant une valeur déterminée pendant l'effacement d'une page.

Selon un mode de réalisation, la mémoire comprend des moyens de contrôle de la tension de seuil de transistors à grille flottante et de reprogrammation de transistors programmés ayant une tension de seuil inférieure à un seuil déterminé, les moyens de contrôle comprenant : un compteur non volatile formé par au moins une rangée de transistors à grille flottante, des moyens pour lire dans le compteur l'adresse d'au moins une page à contrôler, et des moyens d'incrémentatation du compteur après le contrôle d'au moins une page.

Selon un mode de réalisation, les moyens pour lire l'adresse d'au moins une page à contrôler comprennent : des moyens de lecture mot à mot du compteur et de

recherche d'un mot contenant un bit correspondant à un transistor effacé, des moyens pour délivrer des bits de poids fort de l'adresse de la page à contrôler à partir du rang, dans le compteur, du premier mot trouvé
5 contenant un bit correspondant à un transistor effacé, et des moyens pour calculer des bits de poids faible de l'adresse de la page à contrôler à partir du rang, dans le premier mot trouvé, du premier bit correspondant à un transistor effacé.

10 Selon un mode de réalisation, les moyens d'incrémentation du compteur sont agencés pour programmer au moins un transistor à grille flottante du compteur sans effacer les autres transistors du compteur, le transistor programmé à chaque nouvelle incrémentation
15 étant le transistor suivant le transistor programmé à l'incrémentation précédente, selon un sens de lecture du compteur.

Selon un mode de réalisation, les transistors à grille flottante du compteur sont agencés dans un secteur
20 exclusivement dédié au compteur, de sorte que des tensions de programmation appliquées à des transistors à grille flottante d'un autre secteur de la mémoire ne se répercutent pas sur les transistors à grille flottante du compteur.

25 Selon un mode de réalisation, les moyens de contrôle d'une page comprennent des moyens pour : lire un mot de la page en appliquant une première tension de lecture aux grilles des transistors correspondant au mot considéré, lire le même mot de la page en appliquant une
30 deuxième tension de lecture aux grilles des transistors correspondant au mot considéré, comparer les résultats des deux lectures, et reprogrammer les transistors si les deux lectures donnent des résultats différents, en utilisant comme valeur de référence la valeur du mot lue
35 en appliquant la première tension de lecture.

Selon un mode de réalisation, la tension d'effacement positive est appliquée aux électrodes de

source ou de drain des transistors à grille flottante par l'intermédiaire du matériau formant le canal des transistors.

- Ces objets, caractéristiques et avantages ainsi que
- 5 d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un procédé d'effacement de page et d'un procédé de contrôle de cellules mémoire selon l'invention, et d'une mémoire FLASH mettant en œuvre ces deux procédés, faite à titre
- 10 non limitatif en relation avec les figures jointes parmi lesquelles :
- la figure 1 précédemment décrite représente un plan mémoire FLASH,
 - la figure 2 est une vue en coupe schématique de deux
 - 15 transistors à grille flottante et illustre le procédé d'effacement de page selon l'invention,
 - la figure 3A illustre schématiquement la mise en oeuvre du procédé d'effacement de page dans une mémoire FLASH,
 - la figure 3B illustre schématiquement la programmation
 - 20 d'un mot dans une mémoire FLASH,
 - la figure 4 représente un décodeur de ligne de mots classique,
 - la figure 5 représente un décodeur de ligne de mots selon l'invention,
 - 25 - la figure 6 est le schéma électrique d'un circuit adaptateur de tension représenté sous forme de bloc en figure 5,
 - la figure 7 représente des courbes de distribution statistique de tensions de seuil de transistors à grille
 - 30 flottante,
 - la figure 8 représente une mémoire FLASH selon l'invention, comprenant des moyens de mise en œuvre du procédé d'effacement et du procédé de contrôle selon l'invention, et
 - 35 - la figure 9 illustre un procédé de lecture d'un compteur selon l'invention.

I - Description d'un procédé d'effacement sélectif d'une page dans une mémoire FLASH

La figure 2 est une vue en coupe de deux transistors à grille flottante FGT_i , FGT_{i+1} de type NMOS, prévus pour être effacés selon la méthode d'effacement par le canal. A cet effet, les transistors FGT sont réalisés selon la technique dite "triple caisson", ce qui signifie que le matériau constituant le canal des transistors est un caisson 1 de type P implanté dans un caisson 2 de type N lui-même implanté dans un substrat 3 de type P. Le caisson 1 est ainsi isolé électriquement du substrat 3 et peut être porté à une tension V_B par l'intermédiaire d'un contact de type P+ tandis que le substrat 3 est à la masse.

La grille G de chaque transistor comprend une grille flottante FG déposée sur le caisson 1 par l'intermédiaire d'une fine couche d'oxyde OX1, et une grille de contrôle CG déposée sur la grille flottante FG par l'intermédiaire d'une autre couche d'oxyde OX2. Les épaisseurs des couches ne sont pas représentées à l'échelle pour des raisons de lisibilité de la figure. La région de canal CHN de chaque transistor s'étend sous l'oxyde de grille OX1 et est délimitée par des régions de source et de drain de type N+ implantées dans le caisson 1.

Lors de l'effacement des transistors FGT_i , FGT_{i+1} , le caisson 1 est porté à une tension V_B positive, par exemple 8 V, et une tension d'effacement V_{ER+} de l'ordre de 7,5 V apparaît sur les sources S des transistor, par l'intermédiaire des jonctions canal/drain dans le sens passant, comme représenté schématiquement par des diodes. La tension V_{ER+} apparaît également sur les régions de drain, qui sont portées à haute impédance par un décodeur de colonne (non représenté).

Dans l'art antérieur, l'application de la tension V_{ER+} va de pair avec l'application d'une tension d'effacement négative V_{ER-} sur toutes les grilles des

transistors d'un même secteur, par inhibition d'un décodeur de ligne de mots, ce qui entraîne l'effacement simultané de tous les transistors du même secteur, un secteur comprenant tous les transistors dont le canal est
5 formé dans le même caisson 1.

Pour obtenir un effacement sélectif par page, l'idée de la présente invention est d'appliquer sur la grille des transistors ne devant pas être effacés une tension d'inhibition positive V_{INHIB} qui compense tout ou
10 partie du champ électrique créé par la tension V_{ER+} .

A titre d'exemple, supposons que les transistors FGT_i , FGT_{i+1} ont été programmés, que le transistor FGT_i est connecté à une ligne de mots WL_i devant être effacée et que le transistor FGT_{i+1} est connecté à une ligne de
15 mots WL_{i+1} ne devant pas être effacée. Selon l'invention, le transistor FGT_{i+1} reçoit sur sa grille la tension d'inhibition positive V_{INHIB} pendant que le transistor FGT_i reçoit sur sa grille la tension d'effacement négative V_{ER-} . La tension V_{INHIB} est comprise entre 0V et
20 8V et est de préférence de l'ordre de 4V pour pouvoir être délivrée par un décodeur alimenté sous 4 à 5V, comme cela sera vu plus loin. La tension V_{INHIB} compense tout ou partie du champ électrique créé par la tension V_{ER+} et s'oppose à l'effacement parasite du transistor FGT_{i+1} . En
25 pratique, une tension V_{INHIB} de l'ordre de 4V pour une tension d'effacement V_{ER+} de l'ordre de 7,5V supprime tout stress électrique sur le transistor FGT_{i+1} , de sorte que des opérations d'effacement répétées sur le transistor FGT_i n'entraîneront pas, à long terme
30 l'effacement parasite du transistor FGT_{i+1} .

La figure 3A illustre la mise en œuvre du procédé de l'invention dans une mémoire FLASH comprenant deux secteurs S1, S2, chaque secteur étant formé par un caisson P implanté dans un caisson N. Les drains des
35 transistors à grille flottante de chaque secteur sont connectés à des lignes de bits BL_j , BL_j' contrôlées par un décodeur de colonne (non représenté), et les grilles des

transistors à grille flottante sont connectées à des lignes de mots WL_i , WL_i' contrôlées par un décodeur de ligne de mots XDEC1. L'isolement électrique des lignes de bits de même rang de chaque secteur, par exemple la ligne 5 BL_j du secteur S1 et la ligne BL_j du secteur S2, est assuré par un décodage local au niveau des secteurs qui est en soi classique et n'est pas représenté sur la figure.

Supposons par exemple que la page P_i du secteur S1 10 correspondant à la ligne de mots WL_i doive être effacée sans effacer les autres pages du secteur S1 ni celles du secteur S2. Le caisson du secteur S1 est porté à une tension V_B de plusieurs volts, par exemple 8 V comme décrit plus haut, de sorte que la tension d'effacement 15 positive V_{ER+} apparaît sur toutes les sources des transistors du secteur S1. Selon l'invention, le décodeur XDEC1 délivre la tension d'effacement négative V_{ER-} sur la ligne de mots à effacer WL_i et délivre la tension d'inhibition V_{INHIB} sur toutes les autres lignes de mots 20 WL_i' du secteur S1. Ainsi, seuls les transistors de la page P_i sont effacés et le stress électrique subi par les transistors des autres pages du secteur S1 est négligeable, comme cela a été expliqué.

Parallèlement, dans le secteur S2, toutes les 25 lignes de bits BL_j , BL_j' sont portées à haute impédance (l'isolement étant obtenu par un décodage local comme indiqué plus haut), toutes les lignes de mots WL reçoivent une tension nulle (GND) et le caisson du secteur S2 est connecté à la masse (GND). Les transistors 30 du secteur S2 sont donc entièrement isolés des tensions d'effacement apparaissant dans le secteur S1.

Bien entendu, le procédé de l'invention peut être appliqué à l'effacement simultané de plusieurs pages d'un secteur tout en préservant de l'effacement une ou 35 plusieurs autres pages du même secteur. Toutefois, dans ce qui suit, on considèrera qu'un cycle d'effacement comprend l'effacement d'une page et une seule sans

effacement des autres pages du secteur, ce qui correspond au mode de réalisation généralement visé en pratique.

Dans une mémoire FLASH selon l'invention, le processus de programmation d'un mot après effacement d'une page est réalisé conformément à la pratique antérieure, comme illustré en figure 3B. La programmation d'un mot est réalisée en appliquant au drain des transistors à programmer une tension V_{PP1} de 4 à 6 V, par l'intermédiaire des lignes de bits BL_j correspondantes, et en appliquant à la grille des transistors une tension de programmation V_{PP2} de l'ordre de 10 à 12 V, par l'intermédiaire de la ligne de mots correspondante WL_i . Le caisson correspondant au secteur considéré est porté à la masse ($V_B = GND$). Les transistors recevant les tensions V_{PP1} et V_{PP2} sont dans l'état passant et fortement polarisés pendant l'opération. Le courant de programmation étant non négligeable, on ne programme simultanément qu'un nombre réduit de transistors, généralement huit transistors soit un octet ayant tous ses bits à 0. Les lignes de bits BL_j ne correspondant pas au mot à programmer sont portées à haute impédance (HZ) et les lignes de mots WL ne correspondant pas à la page où se trouve le mot à programmer sont maintenues à 0V (GND). Dans le secteur voisin S2, toutes les lignes de bits sont portées à haute impédance (HZ) et toutes les lignes de mots sont maintenues à 0V.

II - Aspects de l'invention concernant les décodeurs de ligne de mots

La mise en oeuvre du procédé selon l'invention nécessite la prévision d'un décodeur de ligne de mots XDEC1 capable de délivrer sélectivement la tension négative V_{ER-} à la ligne de mots WL_i correspondant à la page P_i à effacer, tout en appliquant la tension V_{INHIB} aux autres lignes de mots WL_i du secteur considéré.

Or, les décodeurs de ligne de mots classiques ne permettent pas une application sélective de la tension négative V_{ER-} à une ligne de mots désignée par un adresse

déterminée, la tension V_{ER-} étant appliquée à toutes les lignes de mots du secteur à effacer.

A/ Rappels concernant les décodeurs de ligne de mots classiques à tension négative

5 La figure 4 représente un décodeur de ligne de mots classique XDEC, comprenant un prédécodeur 10 (PREDEC) et une pluralité de postdécodeurs 11 ($POSTDEC_i$), un seul postdécodeur 11 de rang i étant représenté. Le prédécodeur 10 reçoit en entrée une adresse ADR de
10 sélection d'une page et comprend une pluralité de sorties, en nombre égal au nombre de lignes de mots à contrôler. Sur chacune de ces sorties, le prédécodeur délivre des signaux de sélection L_x , L_y , L_z qui sont appliqués à un postdécodeur 11 de rang i . Le postdécodeur
15 11 délivre un signal de sélection SEL_i appliqué à la ligne de mots WL_i de rang correspondant.

Chaque postdécodeur 11 comprend en entrée une porte NON ET (NAND) comprenant trois transistors NMOS en série T_1 , T_2 , T_3 formant la partie de rappel au niveau bas
20 (partie "pull-down") de la porte NON ET. La partie de rappel au niveau haut ("pull-up") de la porte NON ET, qui tire le nœud de sortie à une tension positive V_{PCX} , est formée par un transistor PMOS T_4 piloté par une tension VG. Les grilles des transistors T_1 , T_2 et T_3 sont
25 respectivement pilotées par les signaux L_x , L_y , L_z . Selon la valeur de ces signaux, la porte NON ET délivre un signal $NSEL_i$ égal à 1 (V_{PCX}) ou à 0 (GND). Le signal $NSEL_i$ est appliqué à une porte inverseuse polarisée par la tension V_{PCX} , comprenant un transistor NMOS T_5 et un
30 transistor PMOS T_6 . Le nœud de sortie de la porte inverseuse délivre un signal de sélection SEL_i qui peut être égal à V_{PCX} ("1" logique) ou à 0V ("0" logique).

La tension V_{PCX} est égale à une tension V_{READ} en mode lecture et est égale à la tension de programmation V_{PP2}
35 en mode programmation. En mode effacement, la tension négative V_{ER-} est délivrée par un transistor PMOS T_7 agencé en diode, dont le drain reçoit la tension V_{ER-} et

dont la source est connectée à la sortie de la porte inverseuse T5/T6. Afin d'éviter une fuite de courant vers la masse par l'intermédiaire du transistor T5, un transistor d'isolement PMOS T8, piloté par une tension négative V_{DEP} , est agencé entre le nœud de sortie de la porte inverseuse T5/T6 et le drain du transistor T5.

Lorsque la tension d'effacement négative V_{ER-} est appliquée au postdécodeur 11, la porte inverseuse T5/T6 est maintenue dans l'état haute impédance (transistor T4 passant) et le postdécodeur est inhibé. Ainsi, tous les postdécodeurs 11 du décodeur XDEC délivrent la tension négative V_{ER-} ce qui entraîne l'effacement de toutes les pages d'un secteur.

B/ Exemple de décodeur de ligne de mots selon l'invention

La figure 5 représente un décodeur de ligne de mots XDEC1 selon l'invention, capable de délivrer sélectivement une tension d'effacement négative V_{ER-} sur une ligne de mots WL_i désignée par une adresse ADR, tout en délivrant une tension d'inhibition V_{INHIB} aux autres lignes de mots d'un secteur. Notons que le décodeur XDEC1 représenté est prévu pour piloter les lignes de mots d'un même secteur. Cette architecture de décodeur doit ainsi être dupliquée en plusieurs exemplaires dans une mémoire comprenant plusieurs secteurs, de manière à inhiber les décodeurs XDEC1 rattachés aux secteurs qui ne sont pas concernés par une opération de programmation ou d'effacement se déroulant dans un autre secteur.

Le décodeur XDEC1 comprend un étage de décodage classique 20 constitué par le prédécodeur PREDEC décrit plus haut et par une pluralité de postdécodeurs POSTDEC délivrant chacun un signal de sélection de page $SEL_0, SEL_1, \dots, SEL_i, \dots, SEL_N$ fonction de l'adresse ADR reçue en entrée. Les postdécodeurs sont ici du type à tension positive, et correspondent au postdécodeur 11 représenté en figure 4 dans lequel les transistors T7 et T8 sont supprimés. L'étage de décodage 20 étant alimenté par la

tension V_{PCX} , les signaux de sélection délivrés SEL_i sont ainsi égaux à V_{PCX} ou à 0V.

Selon l'invention, le décodeur XDEC1 comprend une pluralité de circuits adaptateurs de tension AD_0 , $AD_1, \dots, AD_i, \dots, AD_N$ recevant chacun en entrée un signal de sélection $SEL_0, SEL_1, \dots, SEL_i, \dots, SEL_N$ et délivrant aux lignes de mots $WL_0, WL_1, \dots, WL_i, \dots, WL_N$ du plan mémoire FLASH des tensions $V_{WLO}, V_{WL1}, \dots, V_{WLi}, \dots, V_{WLN}$ qui peuvent être positives, négatives ou nulles selon l'opération en cours d'exécution et la valeur du signal SEL_i reçu en entrée. Chaque circuit adaptateur AD_i reçoit sur une autre entrée un signal ERASE, qui est par exemple égal à 1 en mode effacement de page, et est alimenté par la tension V_{PCX} et par une tension V_{POL} .

La tension V_{PCX} est égale à la tension V_{READ} en mode lecture, à la tension de programmation V_{PP2} en mode programmation et à la tension d'inhibition V_{INHIB} en mode effacement. D'autre part, la tension V_{POL} est égale à la tension d'effacement négative V_{ER-} en mode effacement et est égale à 0V dans les autres modes de fonctionnement de la mémoire. La tension V_{POL} est par exemple délivrée par un interrupteur SWP à deux entrées piloté par le signal ERASE, une entrée de l'interrupteur SWP recevant la tension V_{ER-} délivrée par une pompe de charge PMP et l'autre entrée de l'interrupteur étant connectée à la masse. Lorsque le signal ERASE est à 1, l'interrupteur SWP délivre la tension V_{ER-} . Lorsque le signal ERASE est à 0, l'interrupteur SWP connecte à la masse (GND) la ligne de distribution de la tension V_{POL} .

La fonction de transfert de chaque circuit adaptateur de tension AD_i est décrite par le tableau 1 ci-après (les signaux COM et NCOM sont des signaux intermédiaires décrits plus loin). On voit qu'en mode effacement (ERASE=1) la tension V_{WLi} appliquée à une ligne de mots WL_i est égale à V_{ER-} si la ligne de mots est sélectionnée ($SEL_i = 1$) ou est égale à V_{INHIB} si la ligne de mots n'est pas sélectionnée ($SEL_i = 0$). En dehors des

périodes d'effacement ($ERASE=0$), la tension V_{WL_i} appliquée à une ligne de mots WL_i sélectionnée ($SEL_i=1$) est égale à la tension V_{PCX} , qui peut servir de tension de lecture V_{READ} ou de tension d'effacement V_{PP2} selon l'opération en cours de réalisation, tandis que la tension V_{WL_i} appliquée à une ligne de mots WL_i non sélectionnée ($SEL_i=0$) est nulle.

Tableau 1

ERASE	SEL _i	COM	NCOM	V _{WL_i}
0	0	0	1	V _{WL_i} = V _{POL} = GND
0	1	1	0	V _{WL_i} = V _{PCX} = V _{READ} (4,5V) ou V _{PP2} (8-10V)
1	0	1	0	V _{WL_i} = V _{PCX} = V _{INHIB} (4V)
1	1	0	1	V _{WL_i} = V _{POL} = V _{ER-} (-8V)

La figure 6 représente un mode de réalisation d'un circuit AD_i selon l'invention. Le circuit AD_i comprend une porte XOR1 de type OU EXCLUSIF recevant en entrée les signaux SEL_i et ERASE et délivrant un signal COM. Le signal COM est appliqué à une porte inverseuse INV1 délivrant un signal NCOM. La porte XOR1 et la porte INV1 sont alimentées par la tension V_{PCX}, de sorte que les signaux COM et NCOM ont pour valeur la tension V_{PCX} lorsqu'ils sont à "1". Les signaux COM et NCOM sont appliqués à un étage pilote 30 (étage "driver") dont la sortie commande un étage inverseur 31.

L'étage pilote 30 comprend deux branches en parallèle comprenant chacune un transistor PMOS, respectivement T10, T12, en série avec un transistor NMOS, respectivement T11, T13. Les drains des transistors T10, T12 reçoivent la tension V_{PCX} tandis que les sources des transistors T11, T13 reçoivent la tension V_{POL}, qui peut être égale au potentiel de masse GND ou à la tension négative V_{ER-} comme cela a été décrit plus haut. Le point milieu de la branche T12/T13 est connecté à la grille du transistor T11 et le point milieu de la branche T10/T11 est connecté à la grille du transistor T13.

L'étage inverseur 31 comprend un transistor PMOS T14 en série avec un transistor NMOS T15, le transistor T14 recevant sur sa source la tension V_{PCX} et le transistor T15 recevant sur sa source la tension V_{POL} .

5 Les grilles des transistors sont pilotées par le point milieu de la branche T12/T13, et le point milieu de l'étage inverseur T14/T15 délivre la tension V_{WLi} .

Les transistors NMOS T11, T13 et T15 sont réalisés dans un caisson WP de type P isolé du substrat par un
10 caisson N, selon la technique triple caisson décrite plus haut.

Le fonctionnement du circuit adaptateur AD_i est décrit par le tableau 1 ci-dessus. L'étage pilote 30, qui reçoit la tension V_{POL} en tant que tension de rappel au
15 niveau bas (tension de "pull-down"), permet d'appliquer à la grille du transistor T15 de l'étage inverseur 31 une tension de blocage égale à V_{ER-} quand le drain du transistor T15 reçoit la tension V_{ER-} ($V_{POL}=V_{ER-}$) ou une tension de blocage égale à 0 V quand le drain du
20 transistor T15 est à la masse ($V_{POL}=GND$).

III - Réalisation d'une mémoire FLASH effaçable par page, comprenant des moyens de rafraîchissement des cellules mémoire

A - Contrôle de la tension de seuil des transistors
25 à grille flottante

Comme cela a été indiqué au préambule, une mémoire FLASH programmable par page ayant une grande capacité de stockage doit de préférence comprendre des moyens de contrôle et de rafraîchissement (reprogrammation) de ses
30 cellules mémoire, si l'on souhaite offrir à l'utilisateur la possibilité de procéder à un grand nombre de cycles d'effacement/programmation sur une même page.

Ainsi, si l'on offre à l'utilisateur la possibilité de reprogrammer Z fois la même page dans un secteur
35 mémoire d'une capacité de $X1*Y1$ octets, $X1$ étant le nombre de lignes de mots (ou pages) et $Y1$ le nombre de

colonnes, le temps de stress maximal DST supporté par les transistors à grille flottante d'une page est égal à :

$$DST1 = (X1-1) Z Tp$$

5 et correspond au cas où chacune des $X1-1$ autres pages du secteur est programmée Z fois. " Tp " est le temps de programmation d'un transistor à grille flottante, pendant lequel les transistors appartenant à d'autres pages que
10 celle en cours de programmation mais connectés à la même ligne de bits BL_j , vont subir la tension de programmation V_{PP1} . Pour un secteur mémoire de 512 Kbits comprenant 256 lignes de mots et 256 colonnes de 8 bits chacune (soit 256 mots ou 2048 bits par page), et pour un nombre Z de
15 reprogrammations autorisé égal à 10^5 et un temps Tp de programmation de 5 μs , le temps de stress maximal que peut subir un transistor est de l'ordre de 128 secondes, soit un stress électrique considérable.

L'objectif de l'invention est ainsi de diminuer ce
20 temps de stress maximal DST, sans toutefois recourir, après chaque programmation d'une page, à un contrôle systématique des tensions de seuil de tous les transistors à grille flottante du secteur.

B/ Solution proposée

25 A cet effet, une première idée de la présente invention est de contrôler, après chaque cycle de programmation d'une page, les transistors à grille flottante de K pages de la mémoire, K étant égal à 1 dans un mode de réalisation préféré du procédé de l'invention.
30 Les K pages contrôlées après chaque cycle de programmation doivent être différentes des K pages contrôlées au cycle de programmation précédent, afin de contrôler progressivement toutes les pages de la mémoire.

Une autre idée de l'invention est de gérer les
35 adresses des pages à contrôler au moyen d'un compteur non volatile incrémenté d'une unité après chaque contrôle d'une page, le compteur étant réalisé au moyen de

transistors à grille flottante du plan mémoire FLASH. De cette manière, on va pouvoir vérifier cycliquement toutes les pages de la mémoire en revenant à la première page par une remise à zéro du compteur, lorsque celui-ci aura
5 atteint la dernière adresse mémoire.

Dans une mémoire comportant plusieurs secteurs, un compteur peut être prévu pour chaque secteur ou pour l'ensemble des secteurs. Si un compteur est prévu pour chaque secteur de la mémoire, en supposant que chaque
10 secteur comprenne $X1$ pages, le temps de stress maximal est ramené à la valeur suivante :

$$DST2 = (X1-1) T_p/K \ll Z$$

15 puisqu'un transistor sera contrôlé tous les $(X1-1)/K$ cycles de programmation, K étant de préférence égal à 1.

Si, par contre, un compteur et un seul est prévu pour tous les secteurs de la mémoire, le temps de stress maximal est égal à la valeur suivante :

20

$$DST3 = (X2-1) T_p/K \ll Z$$

$X2$ étant le nombre total de pages dans la mémoire tous secteurs confondus.

25 A noter que les relations ci-dessus ne tiennent pas compte du stress électrique dû à la reprogrammation de transistors ayant des tensions de seuil altérées. Ce stress supplémentaire est négligeable en pratique, les statistiques montrant qu'un transistor sur mille doit
30 être reprogrammé après avoir été contrôlé.

C/ Contraintes liées à la prévision d'un compteur

La prévision d'un compteur pose le problème de la durée de vie des transistors à grille flottante du compteur lui-même. En effet, comme on l'a indiqué ci-
35 dessus, on va autoriser que des transistors à grille flottante soient effacés et reprogrammés Z fois, par exemple 100.000 fois dans l'exemple ci-dessus. Or, si le

compteur est effacé et reprogrammé avec une nouvelle valeur incrémentée après chaque cycle de programmation d'une page, le nombre de cycles d'effacement ou programmation des transistors du compteur va être égal à
5 X1*Z ou X2*Z selon que le compteur est affecté à un secteur ou à l'ensemble de la mémoire, soit un nombre de cycles excédant largement la limite Z autorisée.

Pour résoudre ce problème, la présente invention propose un mode d'incrémentation du compteur consistant à
10 programmer un transistor à chaque incrémentation, sans effacer ni reprogrammer les autres transistors sauf lorsque le compteur doit être remis à zéro. Ainsi, le comptage est fait selon la méthode des jetons, un jeton utilisé ne pouvant être réutilisé. L'adresse de la page à
15 contrôler est déterminée par le rang du prochain jeton à utiliser, soit le rang du premier transistor non programmé rencontré selon le sens de lecture du compteur. Lorsque tous les jetons sont utilisés, le compteur est effacé et le comptage recommence à partir du premier
20 jeton.

Une autre contrainte liée à la prévision d'un tel compteur est liée au stress électrique que les transistors du compteur sont susceptibles de subir en raison des cycles de programmation des pages de la
25 mémoire. Pour pallier cet inconvénient, la présente invention propose d'agencer le compteur dans un secteur indépendant des autres secteurs de la mémoire, de sorte que les transistors à grille flottante du compteur ne subiront pas les tensions de programmation appliquées aux
30 lignes de bits des autres secteurs.

Le procédé selon l'invention est bien entendu susceptible de diverses variantes. Dans une mémoire ayant un nombre de page réduit (X1 ou X2 petits) le procédé de contrôle selon l'invention peut être restreint au
35 contrôle d'une page (K étant fixé à 1) tous les K' cycles de programmation de pages. Dans ce cas, le temps de

stress DST2 ou DST3 mentionné ci-dessus doit être multiplié par K'.

D/ Exemple de réalisation d'une mémoire selon l'invention

5 La figure 8 représente sous forme de blocs une mémoire MEM1 selon l'invention mettant en oeuvre le procédé de contrôle et de reprogrammation de cellules mémoire selon l'invention. La mémoire MEM1 comprend un plan mémoire FMA ("Flash Memory Array") comprenant huit
10 secteurs de données S1 à S8 et un secteur formant un compteur CMPT selon l'invention. Chacun des secteurs, isolé des autres par la technique du triple caisson, compte 256 lignes de mots WL_i ou pages comprenant chacune 256 mots de 8 bits (octets), soit 2048 lignes de bits
15 BL_j . La mémoire compte ainsi au total 2048 pages réparties dans les huit secteurs et offre une capacité de stockage de 4 Mbits.

Le compteur CMPT ne comprend ici qu'une ligne de mots et est dédié au contrôle des pages des huit
20 secteurs. Le compteur CMPT comporte 2048 bits, de sorte qu'un bit du compteur peut être affecté à la désignation d'une page selon la méthode des jetons décrite plus haut.

Par ailleurs, la mémoire est pourvue d'un décodeur de ligne de mots XDEC1 selon l'invention, capable
25 d'appliquer à une ligne de mots WL_i la tension d'effacement V_{ER-} ou la tension d'inhibition V_{INHIB-} . L'adressage du compteur CMPT est assuré par un décodeur spécifique CDEC activé par un signal SELC qui inhibe automatiquement le décodeur XDEC1.

30 La mémoire MEM1 comprend également un décodeur de colonne YDEC, un registre de programmation LT, un circuit de lecture SA, un compteur d'adresses de ligne RAC et un compteur d'adresses de colonne CAC.

Le décodeur de colonne YDEC comprend 2048
35 entrées/sorties connectées au 2048 lignes de bits du plan mémoire FMA et huit entrées/sorties connectées au registre de programmation LT et au circuit de lecture SA.

Le registre LT comprend classiquement huit verrous haute tension ("latches") (non représentés) permettant la programmation d'un octet dans le plan mémoire, les verrous étant connectés en sortie aux huit entrées/sorties du décodeur de colonne YDEC et connectés en entrée à un bus de données DTB de huit bits. Le registre LT enregistre un octet présent sur le bus DTB sur réception d'un signal DLOAD, et délivre la tension de programmation V_{PP1} sur ses sorties (selon les valeurs des bits de l'octet chargé) sur réception d'un signal de programmation PROG.

Le circuit de lecture SA, activé par un signal READ, comprend classiquement huit amplificateurs de lecture ("sense amplifiers") (non représentés) connectés aux huit entrées/sorties du décodeur de colonne YDEC, et est connecté en sortie au bus de données DTB.

Le compteur RAC ("Row Address Counter") reçoit en entrée onze bits d'adresse de poids fort $a[18:8]$ présents sur un bus d'adresse ADB, et délivre ces bits d'adresse au décodeur de colonne XDEC1. Le compteur RAC est piloté par un signal LOAD1 de chargement des bits d'adresse et peut être incrémenté par un signal INC1. Il délivre un signal OVFI en cas de débordement après incrémentation. Les bits d'adresse de poids fort $a[18:8]$ sont appliqués au compteur RAC par l'intermédiaire de deux multiplexeurs MUX1, MUX2 à deux entrées chacun. Plus particulièrement, le compteur RAC reçoit trois bits d'adresse $a[10:8]$ sur des entrées $in[10:8]$ par l'intermédiaire du multiplexeur MUX1 dont une entrée est connectée au bus ADB, et reçoit huit bits d'adresse $a[18:11]$ sur des entrées $in[18:11]$ par l'intermédiaire du multiplexeur MUX2 dont une entrée est également connectée au bus ADB. Les multiplexeurs MUX1, MUX2 sont pilotés par un signal MODE décrit plus loin.

Le compteur CAC ("Column Address Counter") reçoit huit bits d'adresse de poids faible $a[7:0]$ sur des entrées $in[7:0]$ connectées au bus ADB. La sortie du

compteur CAC délivre les bits d'adresse a[7:0] sur l'entrée d'adresse du décodeur de colonne YDEC et est également connectée à la deuxième entrée du multiplexeur MUX2. Le compteur CAC est piloté par un signal de chargement LOAD2, par un signal d'incrémentation INC2 et délivre le cas échéant un signal de débordement OVF2.

La mémoire MEM1 comprend également un registre à décalage SREG à entrée/sortie parallèle, un circuit CONV, un détecteur de zéro DETZ, un tampon BUF1, un comparateur logique COMP et un séquenceur SEQ.

Le registre SREG a son entrée connectée au bus de données DTB et sa sortie est connectée à l'entrée d'un circuit de conversion CONV et au bus de données DTB. Le registre SREG est piloté par un signal de décalage SHIFT et délivre un signal de débordement OVFC lorsque son contenu atteint la valeur 00_H après un décalage à droite.

Le circuit CONV est un circuit à logique câblée réalisant une fonction de décodage décrite plus loin. Sa sortie est connectée à la deuxième entrée du multiplexeur MUX1.

Le détecteur DETZ est connecté en entrée au bus de données DTB, et délivre un signal DTZ à 1 lorsqu'un octet égal à 00_H est présent sur le bus DTB.

Le tampon BUF1 a son entrée connectée au bus DTB et sa sortie est appliquée sur une entrée du comparateur COMP, dont l'autre entrée est connectée au bus DTB. Le tampon BUF1 charge une donnée sur réception d'un signal de chargement BLOAD, et le comparateur COMP délivre un signal DOK ("Data OK") lorsqu'un mot W2 présent sur le bus de donnée DTB est identique à un mot W1 présent à la sortie du tampon BUF1.

Enfin, le séquenceur SEQ, à logique câblée ou à microprocesseur, par exemple un microcontrôleur, délivre l'ensemble des signaux de commande décrits ci-dessus et reçoit l'ensemble des signaux émis par les éléments décrits ci-dessus.

La mémoire MEM1 fonctionne de façon classique pendant les opérations de lecture, d'écriture ou d'effacement, les opérations à réaliser étant fournies au séquenceur sous forme de codes opération CODE[OP]. Le
5 signal MODE est à 1 et les multiplexeurs MUX1, MUX2 connectent le bus d'adresse ADB sur les entrées in[10:8] et in[18:11] du compteur RAC, les bits d'adresse de poids fort se retrouvant ainsi en entrée du compteur RAC et les bits d'adresse de poids faible en entrée du compteur CAC.
10 Conformément à l'invention, l'effacement d'une page d'adresse a[18:8] est assuré en appliquant la tension V_{ER} aux grilles des transistors de la page, tandis que les transistors des autres pages du secteur visé reçoivent la tension d'inhibition V_{IHNIB} (V_{PCX}).
15 Parallèlement, la tension V_B est appliquée au caisson du secteur où se trouve la page à effacer, pour génération de la tension V_{ER+} sur les électrodes de source.

Lorsqu'une page a été effacée, le séquenceur SEQ déclenche une procédure de lecture du compteur CMPT
20 visant à déterminer l'adresse d'une page devant être contrôlée. A cet effet, le séquenceur active le décodeur CDEC au moyen du signal SELC, met à zéro le compteur CAC et active le circuit de lecture SA (signal READ). Le premier octet du compteur CMPT est délivré par le circuit
25 SA sur le bus de données DTB. Si le signal STZ à la sortie du circuit de détection DETZ est à 1, cela signifie que le premier octet lu dans le compteur CMPT ne comprend que des zéros. En d'autres termes, cela signifie que les transistors à grille flottante dans lesquels est
30 enregistré le premier octet du compteur CMPT sont tous programmés. Le séquenceur incrémente donc le compteur CAC d'une unité et lit l'octet suivant, ainsi de suite si nécessaire jusqu'à ce que le signal DTZ passe à 0. Lorsque le signal DTZ passe à 0, le séquenceur sait qu'un
35 octet contenant un bit à 1, correspondant à un transistor effacé, a été trouvé. Il s'agit du premier octet non nul du compteur CMPT.

Les bits $c[7:0]$ de l'octet non nul sont chargés dans le registre SREG et se retrouvent à l'entrée du circuit de conversion CONV. Ce dernier délivre sur les entrées $in[10:8]$ du compteur RAC, par l'intermédiaire du multiplexeur MUX1, les bits de poids faible $a'[10:8]$ de l'adresse de la page à contrôler. La conversion des bits $c[7:0]$ de l'octet non nul en bits d'adresse $a'[10:8]$ est assurée par le circuit CONV conformément à la table décrite par le tableau 2 ci-après.

Au même instant, les bits d'adresse de colonne $a[7:0]$ de l'octet non nul du compteur CMPT, appliqués par le compteur CAC au décodeur YDEC, sont présents sur les entrées $in[10:8]$ du compteur RAC en tant que bits d'adresse de poids fort $a'[18:11]$ de l'adresse de la page à contrôler. L'adresse de la page à contrôler, comprenant les bits $a'[10:8]$ et les bits $a'[18:11]$, est ainsi chargée dans le compteur RAC au moyen de la commande LOAD1 et le processus de contrôle de page peut commencer.

Tableau 2 : table de conversion

$c[7:0]$	$a'[10:8]$
1 1 1 1 1 1 1 1	000
0 1 1 1 1 1 1 1	001
0 0 1 1 1 1 1 1	010
0 0 0 1 1 1 1 1	011
0 0 0 0 1 1 1 1	100
0 0 0 0 0 1 1 1	101
0 0 0 0 0 0 1 1	110
0 0 0 0 0 0 0 1	111

Le procédé de lecture du compteur CMPT qui vient d'être décrit est illustré en figure 9. On voit que les bits de poids fort $a'[18:11]$ de l'adresse de la page correspondent au rang, dans le compteur CMPT, du premier octet non nul trouvé. Il s'agit donc bien de l'adresse $a[7:0]$ de la colonne contenant l'octet non nul. D'autre part, les bits de poids faible $a'[10:8]$ de l'adresse de la page à contrôler correspondent au rang, dans le

premier octet non nul, du premier bit non nul de l'octet.
En définitive, l'adresse complète a'[18:8] déterminée par
ce procédé correspond au rang dans le compteur CMPT du
premier bit non nul, c'est-à-dire au rang du premier
5 transistor non programmé.

Au cours de l'étape de contrôle, les octets de la
page sélectionnée sont lus les uns après les autres en
incrémentant le compteur CAC. Chaque octet est lu au
moyen de deux tensions de lecture différentes, la
10 première étant la tension de lecture V_{READ} conventionnelle
et la deuxième une tension de vérification V_{VRFY}
supérieure à V_{READ} . Les deux tensions sont obtenues en
faisant varier la tension V_{PCX} appliquée au décodeur
XDEC1.

15 La figure 7 illustre ce procédé de contrôle par
double lecture, et représente la répartition statistique
DS des tensions de seuil V_t de transistors effacés
(courbe CA, lecture d'un "1") et la répartition
statistique des tensions de seuil V_t de transistors
20 programmés (courbe CB, lecture d'un "0"). Sous l'effet du
stress électrique, la courbe CB a tendance à se déplacer
lentement vers la gauche, pour former une courbe CB'. Les
transistors relevant de la courbe CB' ont perdu des
charges électriques et présentent des tensions de seuil
25 plus faibles que la normale. La tension V_{READ} , de l'ordre
de 4,5V, se trouve à gauche des courbes CB et CB' et ne
permet pas de distinguer un transistor relevant de la
courbe CB ou un transistor relevant de la courbe CB'. La
tension de vérification V_{VRFY} , par exemple 7V, se trouve
30 par contre entre les deux courbes CB, CB' et permet de
distinguer un transistor correctement programmé d'un
transistor dont la grille flottante a perdu des charges
électriques, car dans le premier cas le transistor
restera bloqué et dans le second cas le transistor sera
35 passant. La comparaison d'un octet lu au moyen des deux
tensions V_{READ} , V_{VRFY} permet ainsi de détecter l'existence

d'au moins un transistor programmé dont la tension de seuil est devenue plus faible que la tension V_{VRFY} .

La comparaison est faite simultanément sur les huit bits de chaque octet au moyen du comparateur COMP.

5 L'octet W1 lu au moyen de la tension V_{VRFY} est stocké dans le tampon BUF1, et l'octet W2 lu avec la tension V_{READ} se retrouve sur le bus DTB et sur la deuxième entrée du comparateur. Si le signal DOK à la sortie du comparateur passe à 0, le séquenceur sait que tout ou partie des

10 transistors programmés (s'il y en a) dans lesquels l'octet est enregistré ont perdu des charges électriques. Dans ce cas, l'octet W2, qui est l'octet de référence car il a été lu avec la tension V_{READ} , est chargé dans le registre de programmation LT et le séquenceur déclenche

15 un cycle de programmation pour rafraîchir les cellules endommagées. Au cours du cycle de programmation, les transistors reprogrammés sont ceux qui correspondent à la lecture d'un bit à 0 avec la tension V_{READ} et à la lecture d'un bit à 1 avec la tension V_{VRFY} , les transistors

20 effacés n'étant pas concernés par l'opération.

Lorsque tous les octets de la page ont été contrôlés et que les cellules mémoire endommagées ont été reprogrammées, le séquenceur incrémente le compteur CMPT d'une unité. Comme indiqué plus haut, cette

25 incrémentation consiste à programmer le premier transistor non programmé trouvé à l'étape de recherche de l'adresse de la page à contrôler. A cet effet, le séquenceur applique au compteur CAC les bits d'adresse de poids fort a[18:11] se trouvant à la sortie du compteur

30 RAC, en tant que bits d'adresse de colonne a[7:0] du premier octet non nul du compteur CMPT. Cette opération est l'inverse de celle faite précédemment pour trouver l'adresse de la page à contrôler, et fait intervenir une connexion entre la sortie du compteur RAC et l'entrée du

35 compteur CAC qui n'a pas été représentée en figure 8 pour ne pas surcharger le schéma. Une fois l'adresse de l'octet non nul récupérée par le compteur CAC, la valeur

de l'octet non nul, conservée par le registre SREG, est
incrémentée par décalage à droite (signal SHIFT). La
valeur incrémentée est ensuite envoyée dans le registre
LT pour programmation de l'octet. Un seul bit à 0 ayant
5 été ajouté par le décalage à droite, la reprogrammation
de l'octet non nul va entraîner la programmation du
premier transistor à grille flottante effacé trouvé lors
de la recherche de l'adresse de la page à contrôler, les
transistors déjà programmés n'étant pas reprogrammés.

10 Si le registre SREG délivre le signal de
débordement OVFC après insertion d'un bit à 0 par
décalage à droite, cela signifie que l'octet ne contient
que des zéros. Aussi, après avoir programmé l'octet à 0
dans le compteur CMPT, le séquenceur incrémente le
15 compteur CAC à titre de vérification. Si le compteur CAC
délivre le signal de débordement OVFC2, cela signifie que
l'octet à 0 était le dernier octet du compteur CMPT. Dans
ce cas, le séquenceur sait qu'il devra remettre à zéro le
compteur CMPT après le prochain cycle de vérification
20 d'une page, la page restant à vérifier étant la dernière
de la mémoire.

Le procédé de contrôle et de reprogrammation de
transistors qui vient d'être décrit est particulièrement
simple à mettre en œuvre et nécessite peu de moyens
25 matériels. Il est en outre quasiment transparent pour
l'utilisateur car le temps de contrôle et de
reprogrammation éventuelle d'une page est de l'ordre de
200 μ s, à comparer avec un temps de l'ordre de 1 275 μ s
(255x5 μ s) pour la programmation des 255 octets d'une
30 page, auquel s'ajoute le temps nécessaire à l'effacement
préalable de la page.

La présente invention est bien entendu susceptible
de diverses variantes de réalisation.

D'une part, un compteur CMPT selon l'invention peut
35 comprendre plusieurs lignes de mots, selon la taille du
plan mémoire à contrôler. Par exemple, une mémoire de 16
secteurs et d'une capacité de 8 Mbits nécessitera un

compteur de deux lignes de 2048 bits chacune, à moins que le compteur ne soit éclaté en plusieurs compteurs dédiés à chacun des secteurs.

Egalement, bien que l'on ait proposé une méthode de
5 comptage des lignes à rafraîchir dans laquelle un "jeton" correspond à un transistor et un seul, il est également possible à chaque incrémentation du compteur de programmer un groupe de transistors représentant un
10 jeton, par exemple quatre transistors, pour pallier une éventuelle défaillance d'un transistor. Dans ce cas, la méthode pour retrouver l'adresse de la ligne à rafraîchir consiste à trouver dans le compteur le premier groupe de quatre bits comprenant au moins trois bits égaux à 1.

D'autre part, le procédé selon l'invention peut
15 s'appliquer à des cellules mémoire comprenant des transistors à grille flottante du type PMOS, la tension V_{ER} étant dans ce cas appliquée aux drains et non aux sources des transistors.

On a décrit dans ce qui précède deux aspects de
20 l'invention qui se complètent mais n'en demeurent pas moins distincts l'un relativement à l'autre. Ainsi, le procédé de contrôle qui vient d'être décrit est susceptible d'être appliqué à toute mémoire FLASH programmable par page, que le procédé d'effacement
25 sélectif selon l'invention soit mis en œuvre ou non. Réciproquement, le procédé d'effacement sélectif selon l'invention est susceptible d'être mis en œuvre dans une mémoire utilisant un procédé de contrôle différent de celui qui vient d'être décrit, voire à une mémoire ne
30 comportant pas de moyens de contrôle et de rafraîchissement de ses cellules.

REVENDICATIONS

1. Procédé d'enregistrement de données dans une mémoire FLASH, comprenant une étape d'effacement d'une page (P_i) de la mémoire par application d'une tension d'effacement négative (V_{POL} , V_{ER-}) aux grilles des transistors à grille flottante de la page à effacer et application d'une tension d'effacement positive (V_{ER+}) aux électrodes de source ou de drain de tous les transistors à grille flottante d'un secteur ($S1$) de la mémoire comprenant la page à effacer,
- 10 caractérisé en ce que l'étape d'effacement comprend l'application d'une tension d'inhibition positive (V_{INHIB} , V_{PCX}) aux grilles des transistors d'au moins une page de la mémoire ne devant pas être effacée.
- 15 2. Procédé selon la revendication 1, dans lequel la tension d'inhibition (V_{INHIB} , V_{PCX}) est inférieure à la tension d'effacement positive (V_{ER+}).
- 20 3. Procédé selon l'une des revendications 1 et 2, comprenant une étape consistant à prévoir dans la mémoire des circuits adaptateurs de tension (AD_i) recevant chacun en entrée un signal de sélection de page (SEL_i) et délivrant aux grilles des transistors de la page correspondante :
- 25 - une tension positive (V_{PCX}), lorsque le signal de sélection de page présente une première valeur ("0") correspondant à la non-sélection de la page et que la mémoire est en mode effacement (ERASE) ou lorsque le signal de sélection présente une deuxième valeur ("1")
- 30 correspondant à la sélection de la page et que la mémoire n'est pas en mode effacement, ou
- 35 - une tension de polarisation (V_{POL}) inférieure à la tension positive (V_{PCX} , V_{INHIB}), lorsque le signal de sélection présente la deuxième valeur ("1") et que la mémoire est en mode effacement ou lorsque le signal de

sélection présente la première valeur ("0") et que la mémoire n'est pas en mode effacement.

4. Procédé selon la revendication 3, dans lequel on
5 fournit aux circuits adaptateurs de tension (AD_i) :

- pendant l'effacement d'une page, une tension de polarisation (V_{POL}) égale à la tension d'effacement négative (V_{ER-}) et une tension positive (V_{PCX}) égale à la tension d'inhibition (V_{INHIB}), et
- 10 - pendant la lecture d'un mot dans la mémoire, une tension de polarisation (V_{POL}) égale au potentiel de masse (GND) et une tension positive (V_{PCX}) égale à une tension de lecture (V_{READ}).

15 5. Procédé selon l'une des revendications 1 à 4, caractérisé en ce qu'il comprend, après la programmation d'une page de la mémoire, une étape de contrôle d'au moins une page de la mémoire se trouvant à une adresse lue dans un compteur non volatile (CMPT) formé par au
20 moins une rangée de transistors à grille flottante, le contrôle de la page comprenant la vérification des tensions de seuil des transistors de la page contrôlée et la reprogrammation éventuelle de transistors programmés ayant des tensions de seuil inférieures à un seuil
25 déterminé (V_{VRFY}).

6. Procédé selon la revendication 5, dans lequel le compteur est incrémenté d'une unité (SHIFT) après le contrôle d'au moins une page, en programmant au moins un
30 transistor à grille flottante du compteur sans effacer les autres transistors du compteur, le transistor programmé à chaque nouvelle incrémentation du compteur étant le transistor suivant le transistor programmé à l'incrémentation précédente, selon un sens de lecture du
35 compteur.

7. Procédé selon l'une des revendications 5 et 6, dans lequel le compteur comprend une pluralité de mots de rang croissant, et la lecture dans le compteur de l'adresse d'au moins une page à contrôler comprend les

5 étapes consistant à :

- lire le compteur mot à mot jusqu'à trouver un mot (c[7:0]) comprenant un bit correspondant à un transistor effacé,
- déterminer les bits de poids fort (a'[18:11]) de

10 l'adresse de la page à contrôler au moyen du rang, dans le compteur, du premier mot trouvé comprenant un bit correspondant à un transistor effacé, et

- déterminer les bits de poids faible (a'[11:8]) de

15 l'adresse de la page à contrôler au moyen du rang, dans le premier mot trouvé, du premier bit correspondant à un transistor effacé.

8. Procédé selon l'une des revendications 5 à 7, dans lequel les transistors à grille flottante du

20 compteur sont agencés dans un secteur exclusivement dédié au compteur, de sorte que des tensions de programmation appliquées à des transistors à grille flottante d'un autre secteur (S1-S8) de la mémoire ne se répercutent pas sur les transistors à grille flottante du compteur.

25

9. Procédé selon l'une des revendications 5 à 8, dans lequel le contrôle d'une page est effectué mot à mot et le contrôle d'un mot comprend :

- une première lecture du mot en appliquant une première

30 tension de lecture (V_{READ}) aux grilles des transistors correspondant au mot considéré,- une seconde lecture du mot en appliquant une deuxième tension de lecture (V_{VFY}) aux grilles des transistors correspondant au mot considéré,
- une étape de reprogrammation des transistors si les

35 deux lectures donnent des résultats différents (W1, W2),

en utilisant comme valeur de référence la valeur du mot lue en appliquant la première tension de lecture.

10. Procédé selon l'une des revendications
5 précédentes, dans lequel la tension d'effacement positive (V_{ER+}) est appliquée aux électrodes de source ou de drain des transistors à grille flottante par l'intermédiaire du matériau (1) formant le canal (CHN) des transistors.

10 11. Mémoire FLASH (MEM1) effaçable par page comprenant :

- un plan mémoire (FMA) comportant une pluralité de transistors à grille flottante connectés par leurs grilles à des lignes de mots (WL_i), les transistors
15 connectés à une même ligne de mots formant une page (P_i), un ensemble de pages formant un secteur ($S1-S8$),
- un décodeur de ligne de mots (XDEC1) connecté aux lignes de mots de la mémoire,
- des moyens pour, lors de l'effacement d'une page,
20 appliquer une tension d'effacement positive (V_{ER+}) aux électrodes de source ou de drain de tous les transistors à grille flottante du secteur comprenant la page à effacer,

caractérisée en ce que le décodeur de ligne de mots
25 (XDEC1) comprend des moyens (AD_i) pour appliquer, lors de l'effacement d'une page, une tension d'effacement négative (V_{POL} , V_{ER-}) aux grilles des transistors de la page à effacer, tout en appliquant une tension d'inhibition positive (V_{INHIB} , V_{PCX}) aux grilles des
30 transistors d'au moins une page ne devant pas être effacée.

12. Mémoire selon la revendication 11, dans laquelle la tension d'inhibition (V_{INHIB} , V_{PCX}) délivrée
35 par le décodeur de ligne de mots (XDEC1) est inférieure à la tension d'effacement positive (V_{ER+}).

13. Mémoire selon l'une des revendications 11 et 12, dans laquelle le décodeur de ligne de mots ($XDEC_1$) comprend des circuits adaptateurs de tension (AD_i) recevant en entrée un signal de sélection de page (SEL_i) et délivrant aux grilles des transistors de la page correspondante :

- une tension positive (V_{PCX}), lorsque le signal de sélection présente une première valeur ("0") correspondant à la non-sélection de la page et que la mémoire est en mode effacement (ERASE) ou lorsque le signal de sélection présente une deuxième valeur ("1") correspondant à la sélection de la page et que la mémoire n'est pas en mode effacement (ERASE), ou
- une tension de polarisation (V_{POL}) inférieure à la tension positive (V_{PCX} , V_{INHIB}), lorsque le signal de sélection présente la deuxième valeur ("1") et que la mémoire est en mode effacement (ERASE) ou lorsque le signal de sélection présente la première valeur ("0") et que la mémoire n'est pas en mode effacement (ERASE).

20

14. Mémoire selon la revendication 13, comprenant des moyens (PMP, SWP) pour fournir aux circuits adaptateurs de tension (AD_i) :

- pendant l'effacement d'une page, une tension de polarisation (V_{POL}) égale à la tension d'effacement négative (V_{ER-}) et une tension positive (V_{PCX}) égale à la tension d'inhibition (V_{INHIB}), et
- pendant la lecture d'un mot dans la mémoire, une tension de polarisation (V_{POL}) égale au potentiel de masse (GND) et une tension positive (V_{PCX}) égale à une tension de lecture (V_{READ}).

15. Mémoire selon la revendication 14, dans laquelle le circuit adaptateur de tension (AD_i) comprend un étage inverseur de sortie (INV2) recevant d'une part la tension positive (V_{PCX} , V_{INHIB}) et d'autre part la tension de polarisation (V_{POL} , V_{ER-} , GND), et un étage de

35

commande de l'étage inverseur comprenant une fonction logique OU EXCLUSIF (XOR) recevant en entrée le signal de sélection (SEL_1) et un signal (ERASE) présentant une valeur déterminée pendant l'effacement d'une page.

5

16. Mémoire selon l'une des revendications 11 à 15, comprenant des moyens de contrôle de la tension de seuil de transistors à grille flottante et de reprogrammation de transistors programmés ayant une tension de seuil inférieure à un seuil déterminé (V_{VRFY}), caractérisée en ce que les moyens de contrôle comprennent :

- un compteur non volatile (CMPT) formé par au moins une rangée de transistors à grille flottante,
- des moyens (SREG, CONV, DETZ) pour lire dans le compteur l'adresse d'au moins une page à contrôler, et
- des moyens (SREG, LT) d'incrémentation du compteur après le contrôle d'au moins une page.

17. Mémoire selon la revendication 16, dans laquelle les moyens pour lire l'adresse d'au moins une page à contrôler comprennent :

- des moyens (CDEC, SA, DETZ, CAC) de lecture mot à mot du compteur et de recherche d'un mot ($c[7:0]$) contenant un bit correspondant à un transistor effacé,
- des moyens (CONVC, MUX1) pour délivrer des bits de poids fort ($a'[18:11]$) de l'adresse de la page à contrôler à partir du rang, dans le compteur, du premier mot trouvé contenant un bit correspondant à un transistor effacé, et
- des moyens (CAC, MUX2) pour calculer des bits de poids faible ($a'[11:8]$) de l'adresse de la page à contrôler à partir du rang, dans le premier mot trouvé, du premier bit correspondant à un transistor effacé.

18. Mémoire selon l'une des revendications 16 et 17, dans laquelle les moyens (SREG, LT) d'incrémentation du compteur sont agencés pour programmer au moins un

transistor à grille flottante du compteur sans effacer les autres transistors du compteur, le transistor programmé à chaque nouvelle incrémentation étant le transistor suivant le transistor programmé à l'incrémentation précédente, selon un sens de lecture du compteur.

19. Mémoire selon l'une des revendications 16 à 18, dans laquelle les transistors à grille flottante du compteur (CMPT) sont agencés dans un secteur exclusivement dédié au compteur, de sorte que des tensions de programmation appliquées à des transistors à grille flottante d'un autre secteur (S1-S8) de la mémoire ne se répercutent pas sur les transistors à grille flottante du compteur.

20. Mémoire selon l'une des revendications 16 à 19, dans laquelle les moyens de contrôle d'une page comprennent des moyens (XDEC1, SA, COMP) pour :

- lire un mot de la page en appliquant une première tension de lecture (V_{READ}) aux grilles des transistors correspondant au mot considéré,
- lire le même mot de la page en appliquant une deuxième tension de lecture (V_{VRFY}) aux grilles des transistors correspondant au mot considéré,
- comparer les résultats des deux lectures,
- reprogrammer les transistors si les deux lectures donnent des résultats différents, en utilisant comme valeur de référence la valeur du mot lue en appliquant la première tension de lecture.

21. Mémoire selon l'une des revendications 11 à 20, dans laquelle la tension d'effacement positive ($V_{\text{ER+}}$) est appliquée aux électrodes de source ou de drain des transistors à grille flottante par l'intermédiaire du matériau (1) formant le canal (CHN) des transistors.

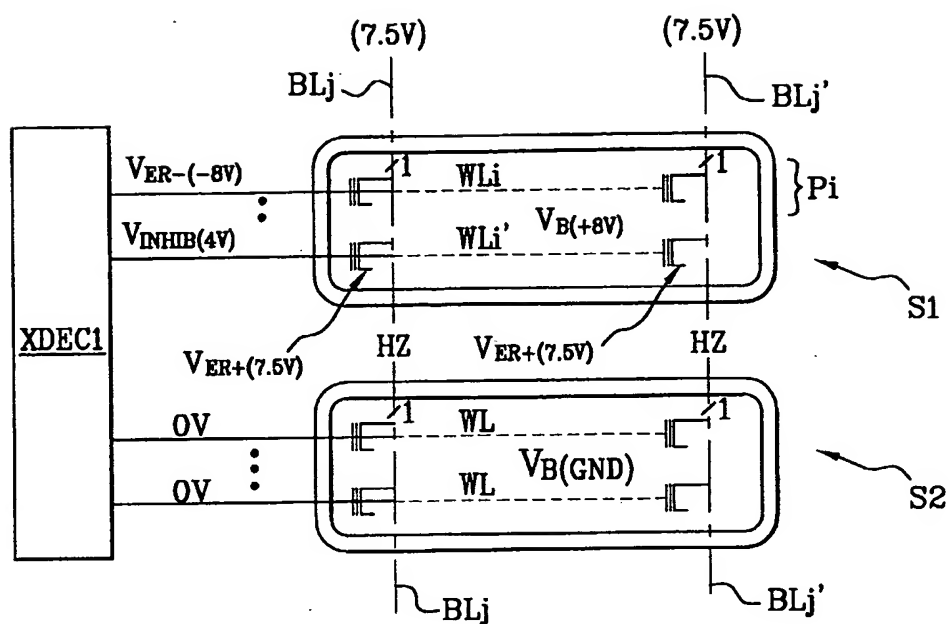


Fig. 3A

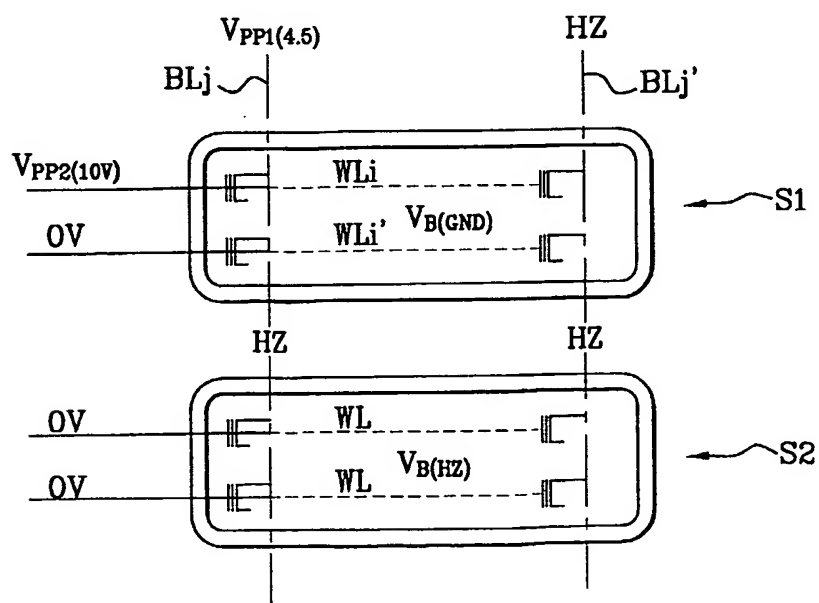
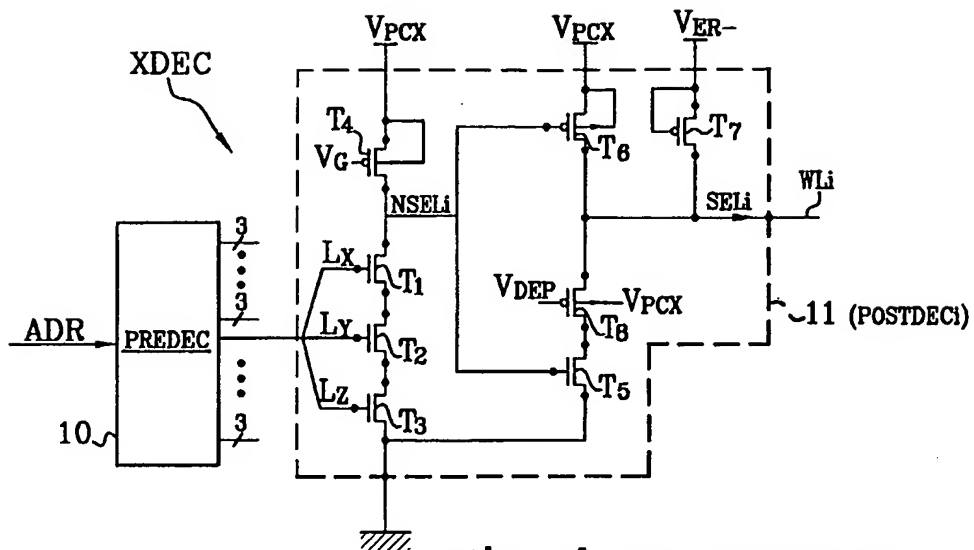
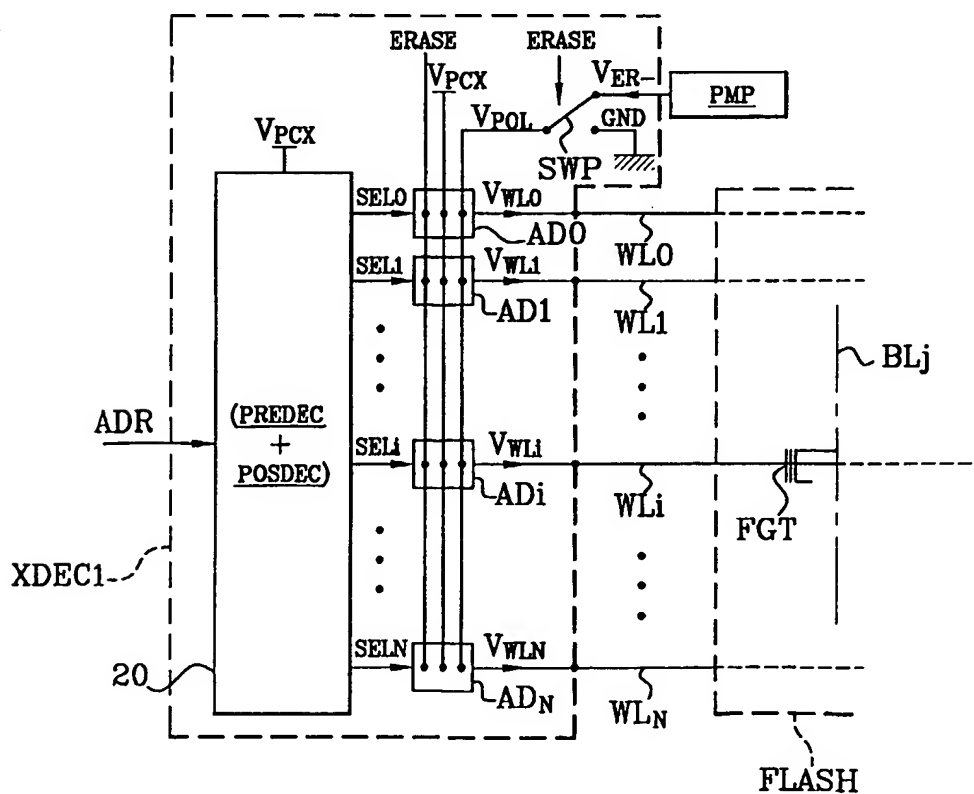
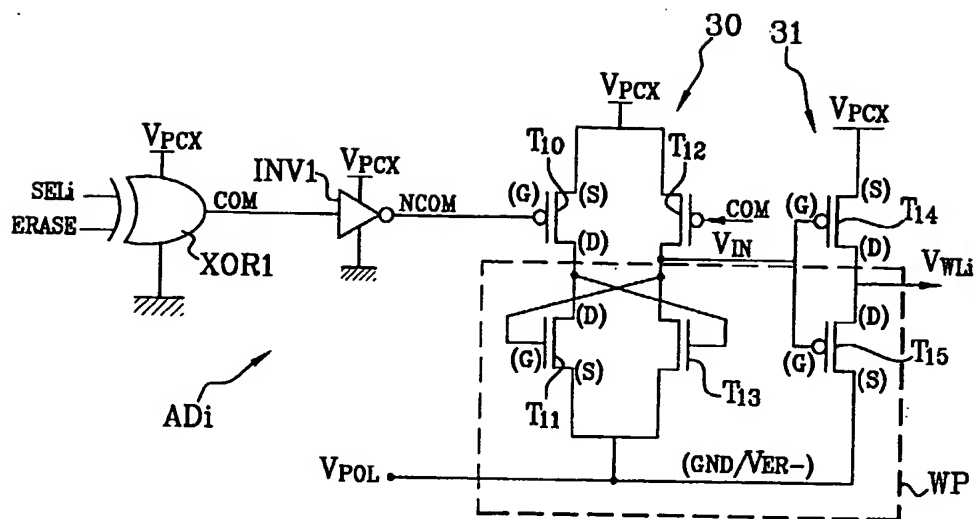
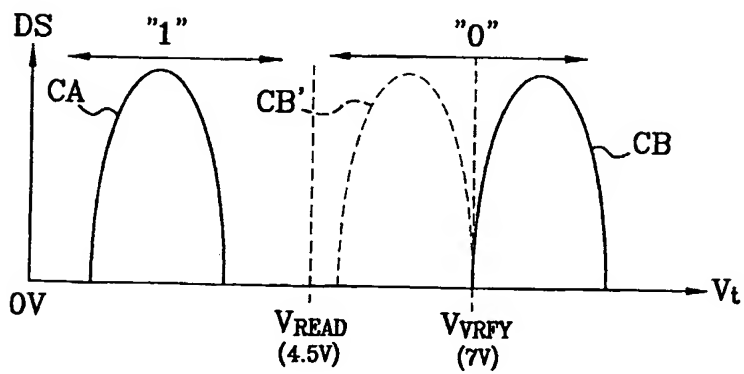


Fig. 3B

3/6

**Fig. 4** (ART ANTERIEUR)**Fig. 5**

4/6

**Fig. 6****Fig. 7**

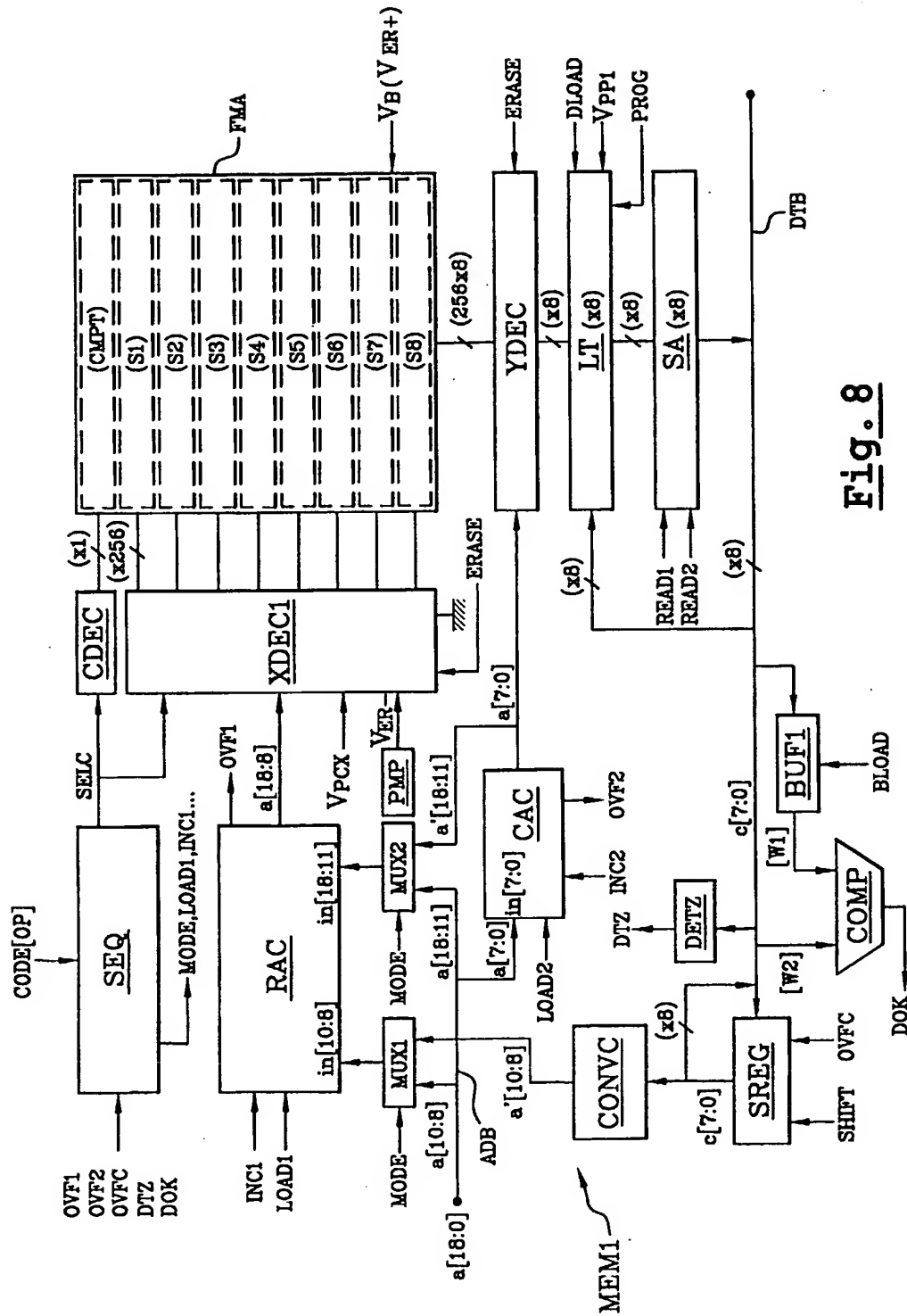
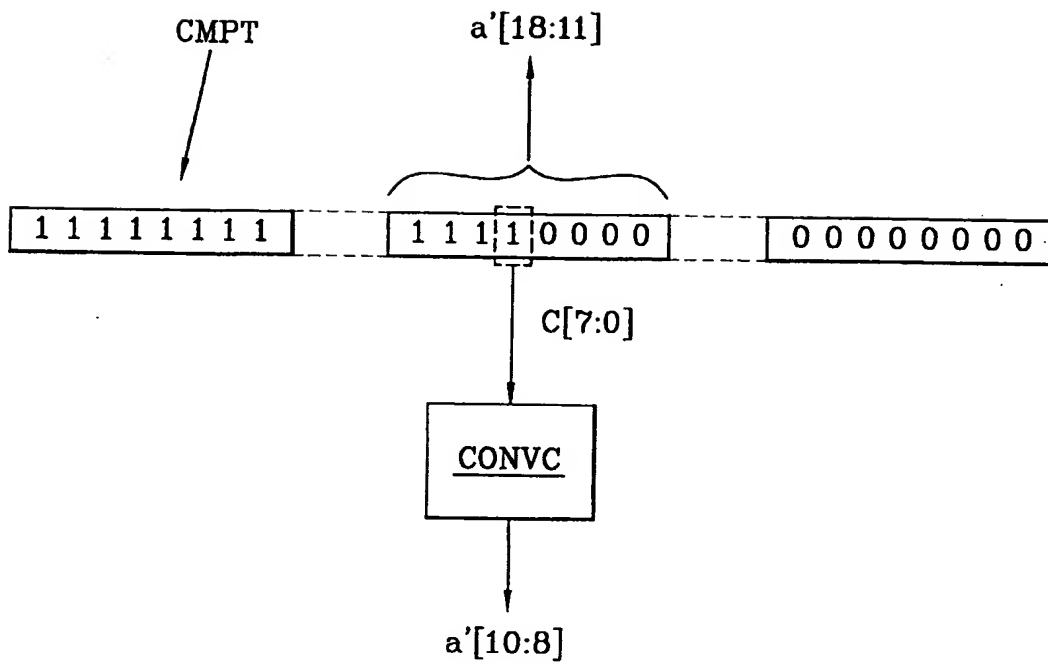


Fig. 8

6/6

Fig. 9

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2816751

N° d'enregistrement
national

FA 600048

FR 0014743

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 5 598 368 A (MASAHITO TAKAHASHI ET AL) 28 janvier 1997 (1997-01-28)	1,2,11, 12	
Y	* colonne 7, ligne 22 - ligne 31; figure 3 * * colonne 10, ligne 30 - ligne 56; figure 8 *	3,4,13, 14	
Y	---		
Y	US 6 021 083 A (LIN YU-SHEN ET AL) 1 février 2000 (2000-02-01)	3,4,13, 14	
A	* colonne 3, ligne 46 - colonne 4, ligne 3 * * colonne 5, ligne 26 - colonne 7, ligne 55; revendication 1; figures 2,3; tableau 1 *	15	
A	---		
A	US 5 239 505 A (MIELKE NEAL R ET AL) 24 août 1993 (1993-08-24) * colonne 9, ligne 49 - colonne 12, ligne 36; figures 2-5 *	5,9,16, 20	
A	SHIGERU ATSUMI ET AL: "A 16-MB FLASH EEPROM WITH A NEW SELF-DATA-REFRESH SCHEME FOR A SECTOR ERASE OPERATION" IEICE TRANSACTIONS ON ELECTRONICS, JP, INSTITUTE OF ELECTRONICS INFORMATION AND COMM. ENG. TOKYO, vol. E77-C, no. 5, 1 mai 1994 (1994-05-01), pages 791-798, XP000459519 ISSN: 0916-8524 * page 792, colonne de droite, ligne 16 - page 794, colonne de droite, ligne 10; figures 5,7 *	5-8, 16-19	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) G11C

	-/--		
Date d'achèvement de la recherche		Examineur	
10 août 2001		Cummings, A	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2816751

N° d'enregistrement
nationalFA 600048
FR 0014743

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 5 994 732 A (AJIKA NATSUO ET AL) 30 novembre 1999 (1999-11-30) * colonne 2, ligne 39 - colonne 3, ligne 28; figures 8,9 * * colonne 7, ligne 26 - colonne 8, ligne 2; figures 1,4 * -----	1,10,11, 21	<div>DOMAINES TECHNIQUES RECHERCHÉS (Int. CL. 7)</div>
Date d'achèvement de la recherche		Examineur	
10 août 2001		Cummings, A	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

1

EPO FORM 1503 12.99 (P04C14)